

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

BUNDESREPUBLIK DEUTSCHLAND

DE 00 / 00021



09/889261	
REC'D 09 MAR 2000	
WIPO	PCT

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Bescheinigung

4 #3
G. B.
3/8/02

Die Siemens Aktiengesellschaft in München/Deutschland hat eine Patentanmeldung
unter der Bezeichnung

"Elektronischer Phasenregelkreis (PLL)"

am 21. Januar 1999 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprüng-
lichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig das Symbol
H 03 L 7/087 der Internationalen Patentklassifikation erhalten.

München, den 9. Februar 2000

Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Herrn



Aktenzeichen: 199 02 335.2

THIS PAGE BLANK (USPTO)



Beschreibung

Elektronischer Phasenregelkreis (PLL)

- 5 Die Erfindung betrifft einen elektronischen Phasenregelkreis (PLL) zur jittergedämpften Taktvervielfachung, insbesondere als Teil einer integrierten Schaltung (IC) für dienstintegrierte Kommunikationsnetze (ISDN), Datenkommunikation oder Netzwerke.

10

Im Stande der Technik ist es üblich, daß die Frequenz so eingestellt wird, daß sie mit einer Referenzfrequenz übereinstimmt. Analoge Schaltungsanordnungen weisen zu diesem Zweck einen steuerbaren Oszillator auf, dessen Ausgangssignal in
15 einem Phasendetektor mit der Referenzfrequenz verglichen wird. Das Ausgangssignal des analogen Phasendetektors wiederum stellt über eine Regelstrecke die Frequenz des steuerbaren Oszillators ein. Eine derartige analoge Schaltungsanordnung ist im allgemeinen schwieriger zu integrieren als
20 eine digitale und benötigt meist zusätzliche Komponenten. Die Regelung ist einigermaßen genau.

Eine digitale Implementierung eines Phasenregelkreises ist einfach zu integrieren, bietet die Möglichkeiten einer
25 schnellen Umsetzung auf neue Technologien durch Einsatz von Synthesewerkzeugen, und ist relativ unabhängig von Schwankungen im Fertigungsprozeß der integrierten Schaltung (IC). Die Regelgenauigkeit läßt sich bis hinunter zur kleinsten Diskretisierungsstufe für die digitale Darstellung der Zahlenwerte
30 erreichen.

Ein Nachteil der bislang üblichen digitalen PLL ist, daß aufgrund der inherenten Quantisierung die PLL in einen sogenannten "Limit Cycle" (Grenzperiode) übergeht, und fortan zwischen einem Phasenfehler von +1, 0 und -1 wechselt; damit
35 weist der erzeugte hochfrequente Takt eine langsame aber unvermeidbare Varianz, "Jitter" genannt, auf.

In der Veröffentlichung zur Konferenz " IEEE 1988 CUSTOM INTEGRATED CIRCUITS CONFERENCE", CH2584-1/88/0000-0051, Seiten 9.5.1 bis 9.5.3, ist von Rockwell International Semiconductor Products Division, d.h. von den Autoren Shi & al., eine elektronische Schaltungsanordnung mit der Bezeichnung "Jitter Attenuation Phase Locked Loop using switched capacitor controlled crystal oscillator" beschrieben, die eine Dämpfung des Jitters bewirken soll.

10

Es wird ein Phasenregelkreis (PLL) verwendet, der Jitter-Amplituden bis zu 30 Einheitsintervallen (UI) bei einer Bandbreite von weniger als 2 Hz bedämpft. Die PLL weist einen mit geschalteten Kondensatoren in drei Frequenzen gesteuerten Quarzoszillator und einen abwärtszählenden Folgelogik-Phasen-/Frequenzdetektor auf. Mit einem dynamischen Variieren der Ladekapazität wird die Frequenz des Oszillators gemäß dem Arbeitszyklus des Steuersignals justiert. Dabei kommt digitale CMOS-Technologie zum Einsatz. Diese Technik benötigt keine komplizierte analoge Schaltung. Die digitale Steuerlogik ist einfach.

20

In der DE-A1-39 20 008 ist ein elektronischer Phasenregelkreis (PLL) der Nachrichten- und Datentechnik beschrieben, der einen Phasenvergleicher und einen über eine als Kapazitäts- oder Induktivitätsmatrix ausgebildete Schaltmatrix gesteuerten Oszillator aufweist. Die Frequenz des Oszillators ist über die durch die Toleranzgrenzen der Schaltmatrix begrenzten Genauigkeitswerte dadurch präzise einstellbar, daß mindestens ein Schaltelement, vorzugsweise das geringstwertige, der Schaltmatrix von einem Pulslängenmodulator angesteuert wird. Der Schaltmatrix wird ein von einem Mikroprozessor gebildetes erstes Ausgangssignalbündel zugeführt, und dem Pulslängenmodulator wird mindestens ein weiteres Ausgangssignalbündel aufgebracht. Der Pulslängenmodulator wird mit einem von einem Ausgangssignal des spannungsgesteuerten Oszillators abgeleiteten Takt getaktet, wobei dieser Takt

30

35

auch einen Schalter zur Ansteuerung des Schaltelements ansteuert.

5 Es liegt somit ebenfalls wie bei der PLL nach der oben angesprochenen Veröffentlichung der IEEE-Konferenz eine digitale, hier noch verfeinerte stufenweise Steuerung des Oszillators vor, die im übrigen sicherlich mithilft den sogenannten Jitter zu verkleinern, wenn ein solcher "Jitter" auch nicht eigens erwähnt ist.

10

Diesem Stand der Technik gegenüber liegt der Erfindung die Aufgabe zugrunde, in einem elektronischen Phasenregelkreis (PLL) der digitalen Ausführung selbst noch den Jitter der kleinsten digitalen Diskretisierungsstufe zu bedämpfen.

15

Diese Aufgabe wird durch den Gegenstand des unabhängigen Patentanspruchs 1 bzw. 4 erfindungsgemäß gelöst. Weitere Ausgestaltungen sind in den abhängigen Patentansprüchen 2 und 3 gekennzeichnet.

20

Gemäß der Erfindung wird ein digitaler, aus Standardzellen synthetisierbarer Phasenregelkreis unter Zuhilfenahme eines analogen Phasendetektors und einer Schaltung zur Lock-(Einrast-) Detektion geschaffen, womit die bisher bestehenden
25 Nachteile der rein digitalen Lösung überwunden werden.

Die Erfindung wird nachstehend in einem Ausführungsbeispiel und anhand der Zeichnungen näher erläutert.

30 Fig. 1 zeigt einen Phasenregelkreis PLL mit digitaler Regelung unter erfindungsgemäßer Einbeziehung eines zusätzlichen analogen Phasendetektors APD;

35 Fig. 2 veranschaulicht den Verlauf der Ansteuerung des Oszillators DCXO aus der Ansteuerschaltung DCXO-Control innerhalb eines herkömmlichen digitalen PLL;

Fig. 3 zeigt den Jitter im Ausgangssignal des Phasendetektors DPD in einem herkömmlichen digitalen PLL;

Fig. 4 schematisiert das Arbeiten des analogen Phasendetektors APD im erfindungsgemäßen PLL; und

Fig. 5 zeigt eine Darstellung der erfindungsgemäßen Regelung anhand eines Simulationsbeispiels.

Fig. 1 zeigt das Blockschaltbild des erfindungsgemäß ausgestalteten Phasenregelkreises PLL, bestehend aus zwei Phasendetektoren, nämlich dem digitalen DPD 1 und dem zusätzlichen analogen Phasendetektor APD 2, sowie einem Code-Converter 4, der unter anderem die Lock-Detektion, d.h. Einrast-Detektion, übernimmt, einem PI-Filter bzw. PI-Regler 10, der in bekannter Weise aus einer integralen Regelung 5 sowie einer linearen Regelung 6, sowie einer Addier- und Verstärkerstufe 7 besteht, einer Ansteuerung DCXO-Control 8 für den Oszillator, einem digital steuerbaren Quarzoszillator DCXO 9, sowie einem Zähler 3. In dem Beispiel arbeitet der Zähler 3 wie ein Teiler mit dem Divisor 2048, wobei eine beispielhafte 8 Khz - Taktfrequenz sich aus der Teilung von 16,384 Mhz durch 2048 ergeben, die neben einer Referenzfrequenz von 8 kHz in den DPD 1 eingespeist werden.

Die Arbeitsweise des digitalen PLL ist wie folgt und in den Figuren 2 und 3 dargestellt, wobei der Referenztakt REF-CLK gegenüber dem Inhalt des Zählers 3 dargestellt ist:

Bei jeder steigenden Flanke des Referenztaktes (REF-CLK) wird der aktuelle Wert des Zählers 3 im Phasendetektor 1 gespeichert (siehe Fig. 2), und wird über den Code-Converter 4 am PI-Filter 5,6 angelegt. Der Zählerstand ist dabei ein Maß für den Phasenfehler und kann positiv oder negativ sein. Dieser quantisierte Phasenfehler wird über das PI-Filter 5,6 dem Oszillator 9 zugeführt, der dadurch entweder verlangsamt oder beschleunigt wird. D.h. im linken Teil von Fig. 2 muß der Os-

zillator 9 beschleunigt werden, während er im mittleren Teil synchron mit dem Referenztakt ist. Im rechten Teil der Fig. 2 ist der Oszillator 9 zu schnell und muß verlangsamt werden. Auf diese Weise wird der Nulldurchgang des Zählers 3, der wie ein Taktteiler wirkt, in Richtung der steigenden Flanke des Referenztaktes geregelt. Ist der gefundene Zählerstand gleich null, ist der PLL eingerastet, d.h. der erzeugte hochfrequente Takt und der Referenztakt sind phasensynchron.

Wie eingangs erwähnt, ist ein Nachteil der digitalen Lösung, wie aus der Simulation in Fig. 3 ersichtlich, daß der PLL in einen sogenannten "Limit Cycle" (Grenzperiode) mit Varianz des Taktes als "Jitter" übergeht.

Die vorstehend angedeutete Limitierung der Genauigkeit wird durch das erfindungsgemäße Erweitern des bestehenden Phasenregelkreises (PLL) durch den analogen Phasendetektor (2, APD) aufgehoben (siehe Fig. 4). Hat der digitale Phasenregelkreis die beiden Taktflanken soweit synchron geregelt, daß der an den Code-Converter gelegte Phasenfehler null ist, aktiviert eine Einrast-Detektion über eine Leitung "ana_mode" den zusätzlichen analogen Phasendetektor APD 2 (siehe auch Fig. 5). Dieser regelt stufenlos, bis beide Taktflanken völlig synchron sind. Dabei sichert der Code-Converter 4 durch Erzeugen einer sogenannten "Doppelnul", um die herumgeregelt wird, daß der APD 2, wenn er aktiviert ist, es auch bleibt. Erst bei größeren Phasendifferenzen wird der analoge Phasendetektor 2 deaktiviert, und es findet eine erneute digitale Grobreglung statt.

Noch zu den Abbildungen im einzelnen:

In der Fig. 2 sind über den Werten des Zählers 3 die Verläufe des Referenztaktes REF-CLK aufgetragen. Die linksseitige Darstellung zeigt einen zu langsamen Oszillator DCXO 9. Er sollte beschleunigt werden, d.h. die Kapazitätsladung (CAP LOAD) verringert werden. Die mittlere Darstellung zeigt ei-

nen DCXO 9 in Synchronisation mit REF-CLK. Die Geschwindigkeit sollte beibehalten werden, d.h. keine Änderung der Kapazität (CAPS). Die rechtsseitige Darstellung veranschaulicht einen zu schnellen DCXO 9. Die Kapazitätsladung sollte vergrößert werden.

Wegen des inherenten "Quantisierungsfehlers" wird der PLL zwischen -1, 0 und +1 springen, und in umgekehrter Reihenfolge.

10

In der Fig. 3 wird im oberen und unteren Schaubild anhand von Simulationsergebnissen gezeigt, wie ein digitaler Phasendetektor 1, DPD arbeitet und sich der Jitter als eine Pendelung manifestiert. In der Abszisse ist die Zählfrequenz bzw. die Zählzeit, und in der Ordinate die Regelamplitude aufgetragen. So ist im Punkt 20 das Ergebnis des digitalen Phasendetektors DDP 1 dargestellt, dessen Ergebnis zwischen -1, 0 und +1 schwankt. Die beiden anderen Kurven zeigen den Verlauf des Ausgangssignals des PI-Filters 10 sowie des Signals FCTRL der Oszillatorsteuerung DCXO-Control 9. Dieser quantisierte Phasenfehler bewirkt einen langsamen Jitter in der Differenz zwischen Takt CLK und Referenztakt REF-CLK, dargestellt im unteren Teil der Fig. 3 durch die mit dem Pfeil mit 22 verbundene Kurve, sowie einen schnellen Jitter im Takt CLK bei 21. Dabei bedeutet V die Differenz und Hz entsprechend die Frequenz.

25

In der Fig. 4 wird das Arbeiten des erfindungsgemäß zugefügten analogen Phasendetektors 2 dargestellt. Gemäß dem Blockschaltbild wird der analoge Phasendetektor 2 an einem Eingang von der Taktfrequenz aus dem Oszillator 9 und am anderen Eingang vom Referenztakt von 8 kHz beaufschlagt. Das Zählerergebnis und derselbe 8 kHz-Referenztakt werden in den Eingang des digitalen Phasendetektors gespeist, dessen Ausgang mit dem Eingang des Code-Converters 4 verbunden ist. Aus dem Code-Converter 4 geht eine Leitung "ana_mode" auf einen dritten Eingang des analogen Phasendetektors 2. Ein Signal zum

30

35

Verringern der Geschwindigkeit des Oszillators 9 verläßt sodann den analogen Phasendetektor 2.

Die Darstellung der Phasenbeziehungen zeigt im ersten Schaubild ein Voreilen des Taktes DCXO CLK gegenüber dem Referenztakt REF CLK. Hier wird ein Beschleunigen des DCXO 9 benötigt. Im zweiten Schaubild hinkt der Takt DCXO CLK dem Takt REF CLK nach, so daß der DCXO 9 verlangsamt werden muß. Damit werden beide Taktflanken erfindungsgemäß zum Koinzidieren gebracht.

In der Fig. 5 ist zu sehen, wie sich die Zeitdifferenz in ns zwischen dem 8 kHz-Eingangstaktsignal und dem 8 kHz-Ausgangstaktsignal darstellt, und wo der analoge Phasendetektor 2 einfällt, worauf dann die Phasendifferenz zwischen den beiden Takten auf annähernd 0 ns verkleinert wird. Abszisse und Ordinate sind entsprechend Fig. 3 eingeteilt. In 22 ist die Zeitdifferenz zwischen dem Ausgangstakt CLK des Oszillators 9 und dem Referenztakt REF-CLK dargestellt, während der analoge Phasendetektor APD 2 einrastet. Ebenso wird in 24 die Differenz zwischen den Takten auf 0 geregelt. Die Skalierung der Frequenz wurde in Fig. 5 weggelassen.

Patentansprüche

1. Elektronischer Phasenregelkreis (PLL) zur jittergedämpften Taktvervielfachung, insbesondere als Teil einer integrierten Schaltung (IC) für dienstintegrierte Kommunikationsnetze (ISDN), Datenkommunikation oder Netzwerke, bei welchem die Frequenz eines steuerbaren Oszillators (9, DCXO) so eingestellt wird, daß sie mit einer Referenzfrequenz (REF CLK) übereinstimmt, wobei das Ausgangssignal des Oszillators (DCXO CLK) in einem digitalen Phasendetektor (1) mit der Referenzfrequenz verglichen wird, und das Ausgangssignal des digitalen Phasendetektors (1) über eine digitale Regelstrecke die Frequenz des Oszillators (9) einstellt,
dadurch gekennzeichnet, daß
der digitale Phasenregelkreis mit einem zusätzlichen analogen Phasendetektor (2,APD) und einer Einrast-Detektion (4) für die Aktivierung verschaltet ist.
2. Elektronischer Phasenregelkreis (PLL) nach Anspruch 1, dadurch gekennzeichnet, daß der digitale Phasenregelkreis aus einem digitalen Phasendetektor (1), einem Code-Converter (4), einem PI-Filter (10), einer Ansteuerschaltung (8, DCXO-Control) für den Oszillator (9), dem als digital steuerbarer Quarzoszillator ausgebildeten Oszillator (9, DCXO), und einem Zähler (3) besteht, wobei die Einrast-Detektion vom Code-Converter (4) übernommen wird.
3. Elektronischer Phasenregelkreis (PLL) nach den Ansprüchen 1 oder 2, gekennzeichnet durch eine derartige Ausgestaltung, daß beim Übergang des digitalen Phasenregelkreises in eine Grenzperiode (Limit-Cycle) mit einem zwischen den Werten +1, 0 und -1 wechselnden Phasenfehler, genannt Jitter, die Limitierung der Genauigkeit durch den zusätzlichen analogen Phasendetektor (2) aufgehoben wird, wobei die Einrast-Detektion über eine Leitung (10, „ana_mode“) den analogen Phasendetektor (2) aktiviert, der daraufhin beide Takt-

flanken des Jitters stufenlos regelt, bis diese Taktflanken miteinander synchron sind.

4. Integrierte Schaltung (IC) mit einem elektronischen Phasenregelkreis (PLL) der Ansprüche 1, 2 oder 3.

Zusammenfassung

Elektronischer Phasenregelkreis (PLL)

- 5 Der elektronische Phasenregelkreis (PLL) in digitaler Ausbildung wird durch einen zusätzlichen analogen Phasendetektor (APD) ergänzt, womit sich der Phasenfehler ("Jitter") noch besser als bisher bedämpfen läßt. Der PLL findet insbesondere als integrierte Schaltung (IC) seine Anwendung in dienstintegrierten Kommunikationsnetzen (ISDN), Datenkommunikation oder
- 10 Netzwerken.

Fig. 1


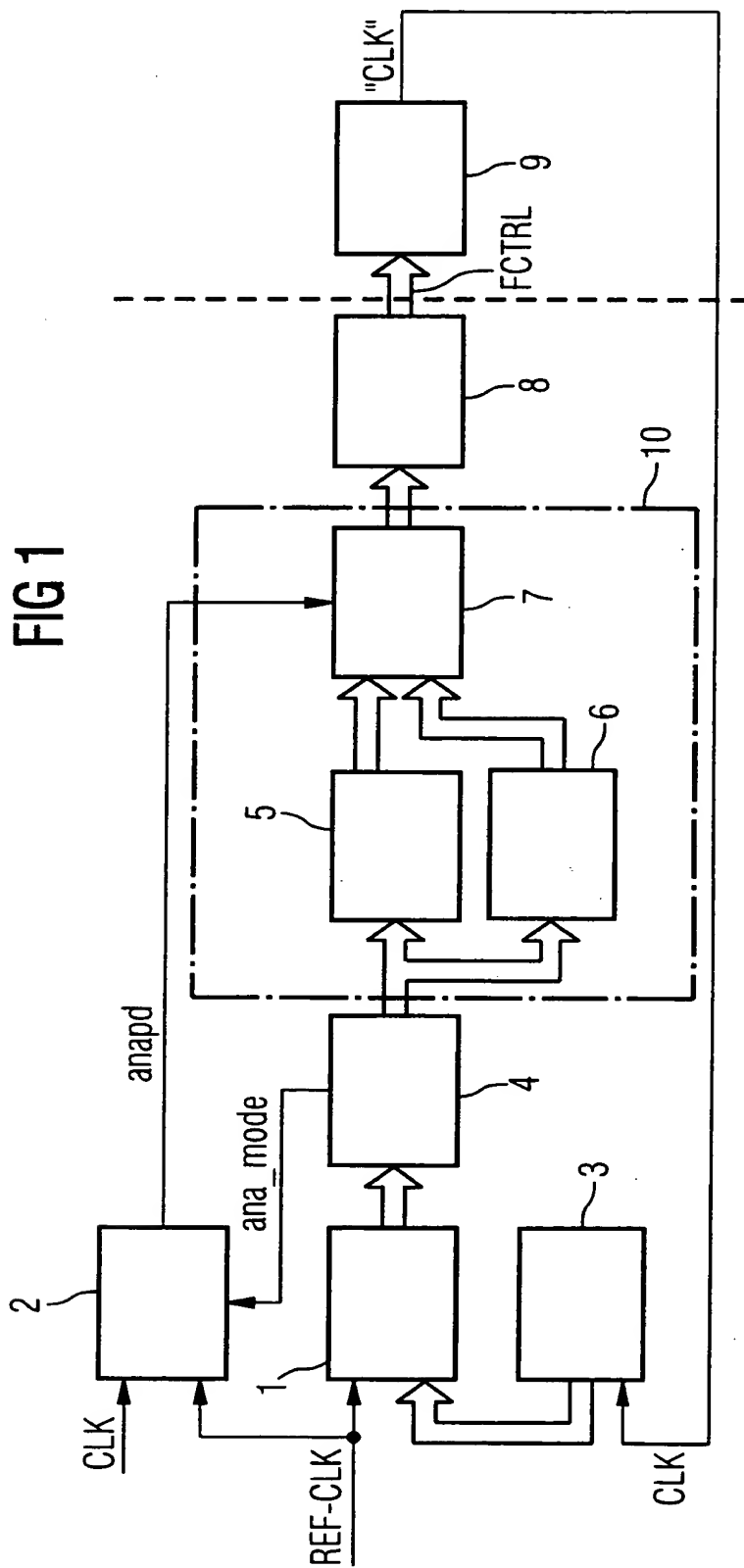


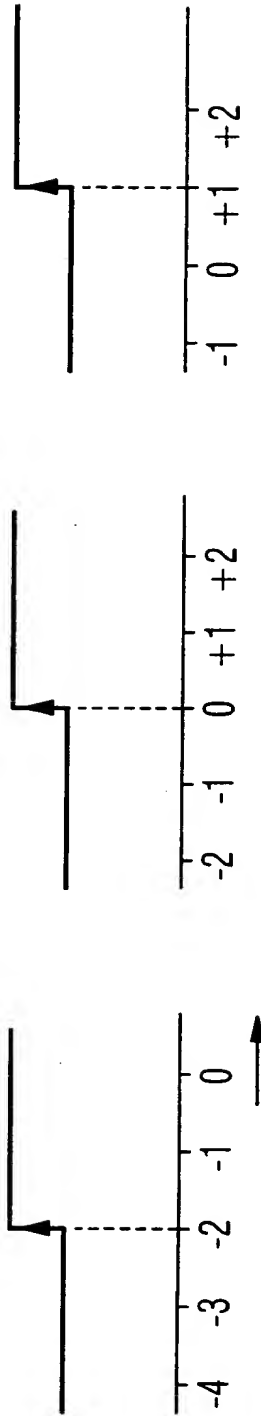
FIG 1

The diagram illustrates a digital-to-analog converter architecture. It consists of a series of blocks labeled 1 through 10. Block 1 is a register or memory element that receives a REF-CLK signal and outputs anapd. Block 2 is a register or memory element that receives anapd and outputs ana_mode. Block 3 is a register or memory element that receives CLK and outputs CLK. Block 4 is a register or memory element that receives ana_mode and outputs CLK. Block 5 is a register or memory element that receives CLK and outputs CLK. Block 6 is a register or memory element that receives CLK and outputs CLK. Block 7 is a register or memory element that receives CLK and outputs CLK. Block 8 is a register or memory element that receives CLK and outputs CLK. Block 9 is a register or memory element that receives CLK and outputs CLK. Block 10 is a register or memory element that receives CLK and outputs CLK. A dashed line separates the main processing blocks (1-9) from the final output stage (10).



2/5

FIG 2



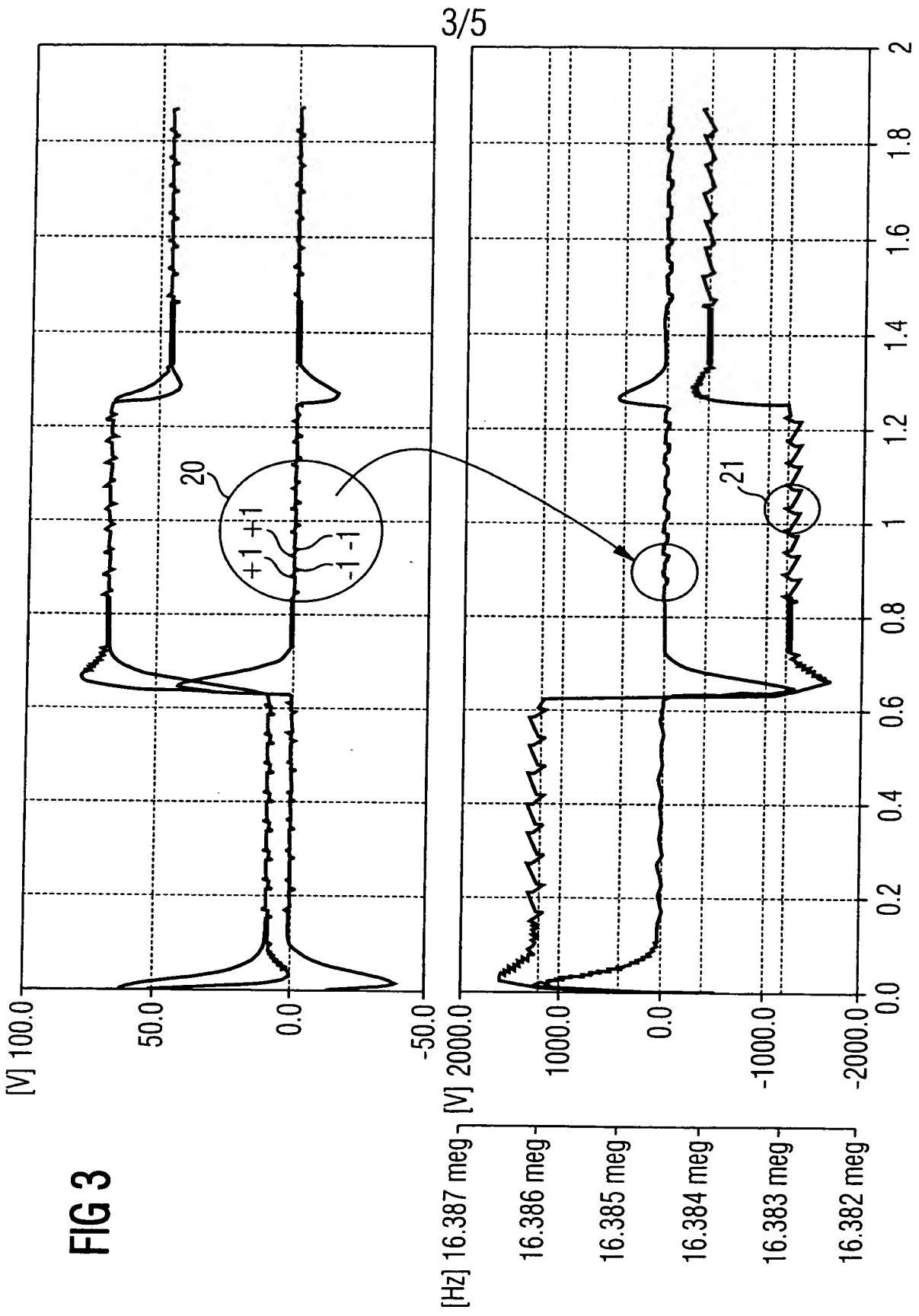


FIG 4

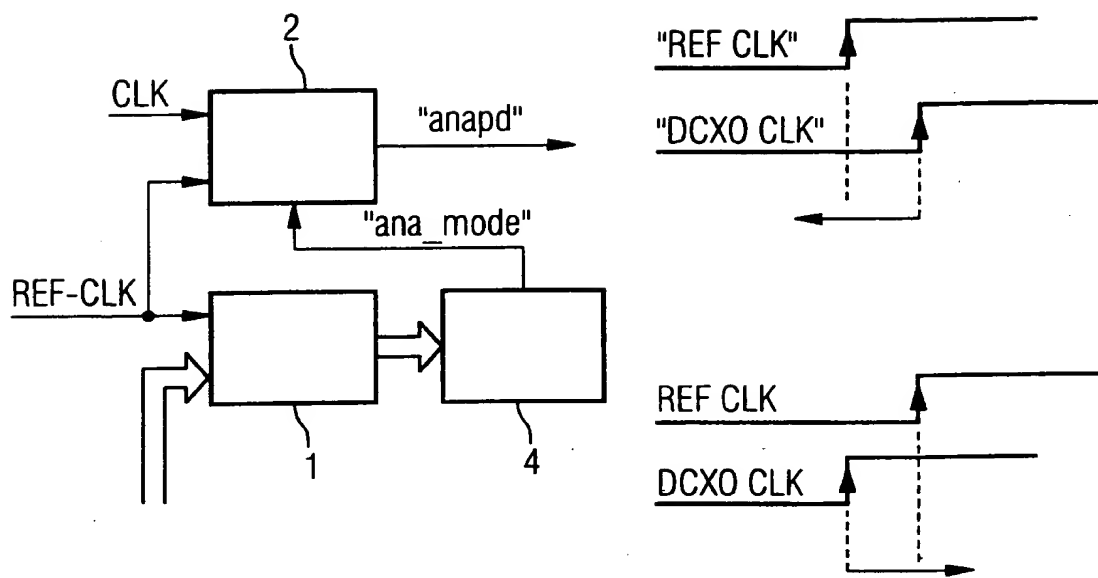
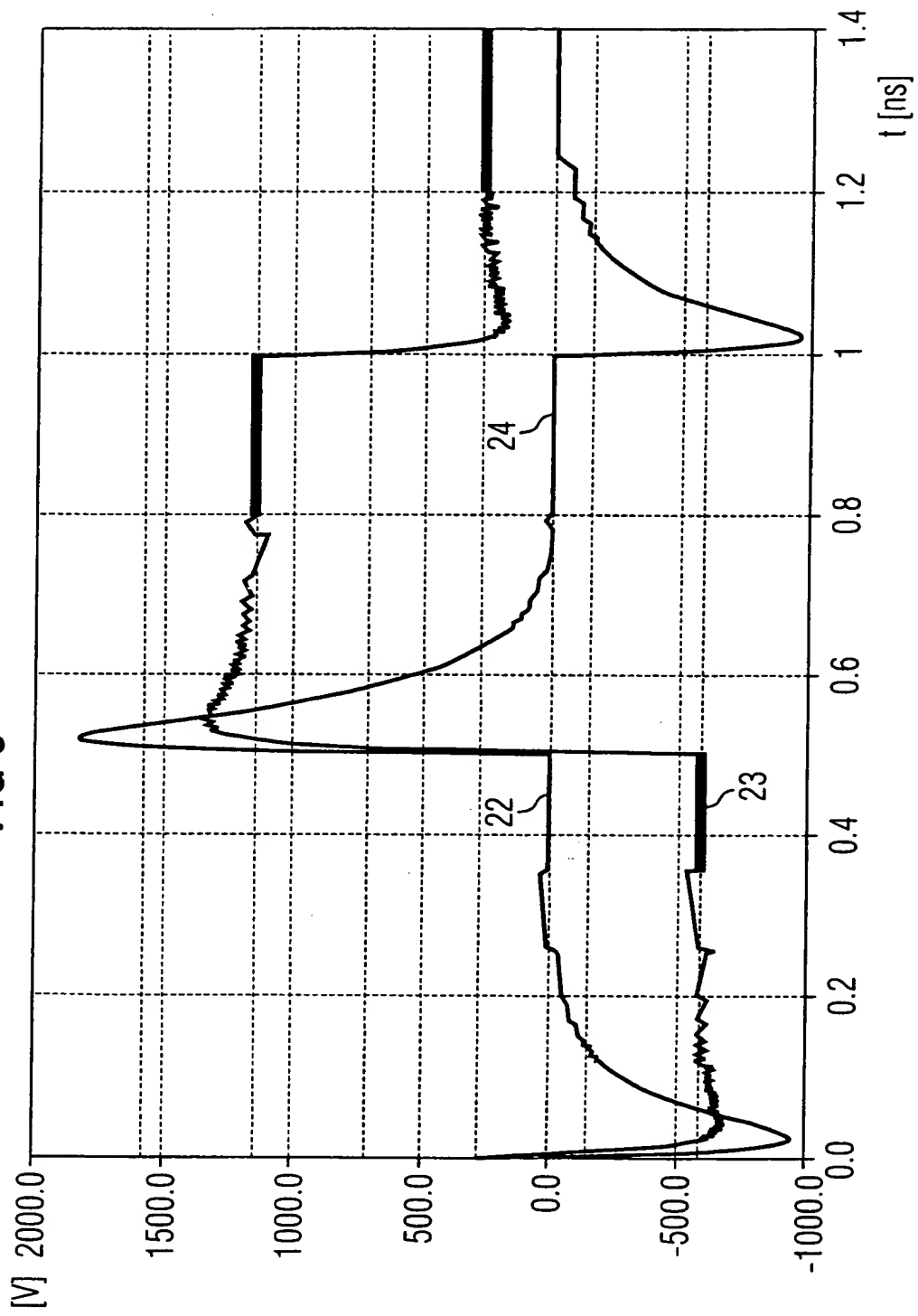


FIG 5



THIS PAGE BLANK (USPTO)